

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-127147

⑬ Int. Cl.

H 01 L 21/76

識別記号

庁内整理番号

M-7131-5F

⑭ 公開 昭和61年(1986)6月14日

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-249339

⑰ 出 願 昭59(1984)11月26日

⑱ 発 明 者 渡 辺 篤 雄 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑲ 発 明 者 長 野 隆 洋 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑳ 発 明 者 池 田 隆 英 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

㉑ 発 明 者 門 馬 直 弘 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 鶴 沼 辰之 外2名

最終頁に続く

明 細 書

発明の名称 半導体装置

特許請求の範囲

1. 第1導電型の半導体基板上に形成される所定の導電型の半導体層と、上記半導体層の表面の所定箇所に形成され、上記表面から上記半導体基板方向に向かつて不純物濃度が小さくなる第2導電型の第1ウェル領域と、上記半導体層の表面の上記第1ウェル領域を囲んで形成され、上記表面から上記半導体基板方向に向かつて不純物濃度が小さくなる第1導電型の第2ウェル領域と、上記第1ウェル領域と上記半導体基板との間にそれぞれ隣接して設けられ、かつ、隣接する上記第1ウェル領域より高い不純物濃度の第2導電型の第1埋込領域と、上記第2ウェル領域と上記半導体基板との間にそれぞれ隣接して設けられ、かつ、隣接する上記第2ウェル領域より高い不純物濃度の第1導電型の第2埋込領域と、上記第1ウェル領域の少なくとも1つの領域、およびこの第1ウェル領域に隣接した第1埋込領域と、上記それぞれの

領域を囲む第2ウェル領域、第2埋込領域との境界に絶縁物が存在し、上記絶縁物を介してのみ分離されている構造の素子分離領域と、上記第1ウェル領域および上記第2ウェル領域にそれぞれ形成される半導体素子とを具備することを特徴とする半導体装置。

2. 特許請求の範囲第1項において、上記素子分離領域で分離される第2ウェル領域は、絶縁物との接触面でチャネルストッパ層が上記第2ウェル領域の主表面から半導体基板内部に向かつて設けられている半導体装置。

3. 特許請求の範囲第1、第2項において、上記第1ウェル領域に形成される半導体素子は縦型バイポーラトランジスタおよび第1導電型のMOSトランジスタであり、上記第2ウェル領域に形成される半導体素子は第2導電型のMOSトランジスタである半導体装置。

4. 特許請求の範囲第2、第3項において、上記チャネルストッパ層が設けられた第2ウェル領域に形成されている第2導電型のMOSトラン

ジスタのソースあるいはドレイン領域が上記チャネルストッパ層に接して設ける場合では、上記の重なりによつて増加するソースあるいはドレイン領域の接合容量が5%以内に抑えられる範囲で重ねられている半導体装置。

5. 特許請求の範囲第1項、第2項、第3項、第4項において、上記所定の導電型の半導体層は第2導電型の半導体層である半導体装置。

6. 特許請求の範囲第5項において、上記所定の導電型の半導体層は不純物濃度分布がほぼ均一な半導体層である半導体装置。

発明の詳細な説明

〔発明の利用分野〕

本発明は、半導体装置に係り、特にバイポーラトランジスタ、MOSトランジスタ等の複数の半導体素子を同一基板上の導電型の異なるウエル領域に形成された半導体装置に関する。

〔発明の背景〕

第2図に従来の半導体装置の一例として相補型MOSトランジスタ(PチャネルとNチャネル

埋込領域3が存在するため各ウエル層20、30の抵抗がそれぞれ小さくなり、両埋込領域2、3の存在しない素子に比べてラッチアップ耐量が向上するものである。

しかし、第2図の従来例では、PMOSトランジスタ62およびNMOSトランジスタ61の両者のしきい電圧を確保するためNウエル20、Pウエル30の濃度をあまり高くすることができず、ここでの少数キャリアの拡散長が長くなり図中に矢印で示した経路のpnpおよびnpn寄生バイポーラの電流増幅率を小さくできず、したがって上記の寄生バイポーラに基づくラッチアップ現象の解消には限界があつたものである。

一方、第3図に示す様な従来例(応用物理学会予稿集、1982年3月)があり、この従来例では、NMOSトランジスタ62とPMOSトランジスタ61とが1 μ m幅、5.5 μ m深さの酸化膜と多結晶シリコンとからなる絶縁物21で分離されている。前記絶縁物21の深さを大きくすることにより図中に矢印④で示すpnp寄生バイポーラの

を同時に含むCMOSトランジスタ)の断面図を示す。同図において、P⁻型半導体基板1の表面にN⁺(高濃度N型)埋込層2が形成され、さらにN⁺埋込層2を阻んでP⁺(高濃度P型)埋込領域3が形成されている。N⁺及びP⁺埋込領域2、3の上にNウエル領域20、Pウエル領域30がそれぞれ形成されている。Nウエル領域20には、P⁺型ソースおよびP⁺型ドレイン9、ゲート酸化膜7、ゲート電極8によつて構成されたPMOSトランジスタ62が形成されている。また、Pウエル領域30にはN⁺型ソースおよびドレイン8によつて構成されたNMOSトランジスタ61が形成されている。PMOSトランジスタ62とNMOSトランジスタ61の素子分離はフィールド酸化膜11と呼ばれる厚い酸化膜及びPウエル30、Nウエル20、P⁺埋込領域3、N⁺埋込領域2とて構成されるPN接合とにより分離されている。この様な素子分離方法は一般にLOCOS分離法と呼ばれる。

上述の構成においては、N⁺埋込領域2、P⁺

ベース層を実効的に長くしてpnp寄生バイポーラの電流増幅率の低下とこれによるラッチアップ耐量の増加を図るというものである。しかし、矢印⑤で示した部分のnpn寄生バイポーラは縦型のトランジスタであること、及び、ベース層であるPウエル30に第2図で示した従来例に見られるP⁺埋込領域3が設けられていない、ことなどの点から前記npn寄生バイポーラの電流増幅率は第2図の従来例に比べて1ケタ位大きいものと予想される。

本発明者らもこの点につき第2図に示す構成のものと比較検討した結果、電流増幅率の点で第3図の従来構造の方が劣つていることを確認すると共にラッチアップ耐量の点では第2図に示す構造が有利であることが判明した。

また、第4図に示す公知例も知られている(特開昭57-188862号公報参照)。この装置は、P⁻型半導体基板1の表面に厚さ2 μ m程度のN⁻型のエピタキシャル層11を成長させ、このエピタキシャル層11を厚いシリコンの酸化膜

(SiO_2) からなる絶縁物 21 を用いて各素子領域を分離した構造となつてゐる。形成素子は、 n-p-n バイポーラトランジスタ 63、PMOS トランジスタ 62、NMOS トランジスタ 61 である。さらに、上記のエピタキシャル層 11 と P^+ 型半導体基板 1 との間には、バイポーラトランジスタ部に N^+ 埋込領域 2 が、NMOS 及び PMOS トランジスタ部に P^+ 埋込領域 3、 N^+ 埋込領域 2 が夫々埋設されている。

このような構成において、各素子領域を分離する絶縁物 21 は、その底面が各埋込領域 2、3 の底面より浅くなつており、各埋込領域 2、3 を突き抜けていないものである。

このような構造は、特に、絶縁物 21 の両側に N^+ 埋込領域 2 が配置され両者を電気的に分離する場合重大な欠点を有する。すなわち、バイポーラトランジスタを隣接して配置する場合、または PMOS トランジスタを隣接して配置する場合、及び、バイポーラトランジスタと PMOS トランジスタとを隣接して配置する場合である。

ない構造のため N^+ 埋込領域は P^+ 埋込領域 3 と接して隣接されている。一般に、不純物濃度の高い高濃度領域同士が接するとこの接触面での電気的な容量が増大する。 N^+ 埋込領域 2 は n-p-n バイポーラトランジスタ 63 のコレクタ領域であり、あるいは、PMOS トランジスタ 62 のウェル領域でもある。かかる領域の容量が増大することはこれらの素子を用いて形成されている集積回路のスピードが著しく低下することになる。従つて回路の高速化の点から従来例のように N^+ 埋込領域 2 と P^+ 埋込領域 3 が接してなる構造は好ましくない。また、かかる第 2 の欠点は第 2 図で示した従来例についても同様である。

〔発明の目的〕

本発明の目的は、複数の半導体素子を同一基板上の導電型の異なるウェル領域に形成した半導体装置において、ラッチアップ耐量の大規模な改良を達成した半導体装置を提供することにある。

さらに、本発明の第 2 の目的は高速動作をする半導体装置を提供することにある。

第 5 図に示すように、一般に N^+ 埋込領域は素子を形成するために各種熱処理を受けこの結果半導体基板の深さ方向はもちろんのこと横方向へも拡散する。絶縁物の底面が N^+ 埋込領域 2 の底面に比べて浅い構造のため、 N^+ 埋込領域 2 の側面において図中に矢印で示した横方向の拡散を阻止することがかかる構造では不可能となり、この結果、隣接する N^+ 埋込領域 2 の距離が、絶縁物 21 の幅に比べて小さくなる。隣接する N^+ 埋込領域 2 の分離耐圧は N^+ 埋込領域 2 間の距離で決まるため所定の耐圧を確保することから N^+ 埋込領域 2 の横方向拡散を見込んで設計する必要がある。別な見方をすれば、隣接する埋込領域の横方向拡散で絶縁物 21 の幅が限定され、分離幅を少くして高集積は半導体集積素子を実現することができない。実際においても絶縁物 21 の幅は 7 ~ 6 μm 以下にすることができなかつたものである。

さらに本従来例は以下に述べる第 2 の欠点がある。この点について再び第 5 図を用いて説明する。絶縁物 21 が埋込領域 2 および 3 を突き抜けてい

〔発明の概要〕

上記目的を達成するため本発明は、第 1 導電型の半導体基板上に形成される所定の導電型の半導体層と、上記半導体層の表面の所定箇所に形成され、上記表面から上記半導体基板方向に向かつて不純物濃度が小さくなる第 2 導電型の第 1 ウェル領域と、上記半導体層の表面の上記第 1 ウェル領域を囲んで形成され、上記表面から上記半導体基板方向に向かつて不純物濃度が小さくなる第 1 導電型の第 2 ウェル領域と、上記第 1 ウェル領域と上記半導体基板との間にそれぞれ隣接して設けられ、かつ、隣接する上記第 1 ウェル領域より高い不純物濃度の第 2 導電型の第 1 埋込領域と、上記第 2 ウェル領域と上記半導体基板との間にそれぞれ隣接して設けられ、かつ、隣接する上記第 2 ウェル領域より高い不純物濃度の第 1 導電型の第 2 埋込領域と、上記第 1 ウェル領域の少くとも 1 つの領域、およびこの第 1 ウェル領域に隣接した第 1 埋込領域と、上記それぞれの領域を囲む第 2 ウェル領域、第 2 埋込領域との境界に第 1 および第

2 埋込領域を貫通してなる絶縁物が存在し、上記絶縁物を介してのみ分離されている構造の素子分離領域と、上記第1ウエル領域および上記第2ウエル領域にそれぞれ形成される半導体素子と、を具備することにある。

〔発明の実施例〕

以下、本発明による半導体装置の一実施例を説明する。

第1図(a)および(b)は、本発明による半導体装置の一実施例を示す断面図である。断面構造及び各部の記号で第2図、第3図、第4図、及び第5図に示したものと同一物及び相当物は同一番号で示す。第1図において、21はNMOSトランジスタ61とPMOSトランジスタ62とを素子分離するための素子分離層であり、シリコン酸化膜(SiO_2)とこれによつて囲まれた多結晶シリコンからなる。上記の素子分離層21がNウエル領域20、Pウエル領域30及びN⁺埋込領域2、P⁺埋込領域3をそれぞれ貫通し、P⁻型半導体基板1にまで到達して形成されている。

る。このため、NMOS61のドレイン6でのパンチスルーを防ぎ耐圧を確保する必要性から、Pウエル領域30の深さは通常4 μm 以上となる。従つて、素子分離層21をこの構造に適用する場合には素子分離層21を少なくとも4 μm 以上の深さとすることになる。一方、本実施例ではP⁻型半導体基板1を用いているので基板1へのパンチスルーが問題になるのはPMOS62の方であり、このPMOSのウエル領域20にはN⁺埋込層2が存在し、ウエル領域20を薄くしてもパンチスルーの問題は生じない。実施例ではNウエル領域の深さは1 μm 、N⁺埋込領域2の深さは1.5 μm で形成しており素子分離層21の深さは少なくとも2.5 μm であればよく、従来例に比較して浅い素子分離層21とすることができる。通常、素子分離層21の形成にはドライエッチング技術等と呼ばれる技術により半導体層を加工して深い溝を形成する。形成溝が深いほど加工精度の低下、加工時の歪の発生が問題となる。従つて、本実施例では埋込領域が存在することにより、浅い素子分

上記構造とすることにより、CMOS特有のラッチアップ現象に対して大幅な耐量の向上が実現できる。以下、この点について説明する。ラッチアップが生ずる原因はPMOSトランジスタ62とNMOSトランジスタ61間の寄生トランジスタ効果によることは第2図にて説明した。本発明の構造は素子分離領域21が各埋込領域2及び3を貫通している構造のため、第2図で示した経路の寄生バイポーラトランジスタは形成されない。つまり、寄生トランジスタでnpnトランジスタに対してはp⁺埋込領域3が、pnpトランジスタに対してはn⁺埋込領域2がそれぞれのトランジスタに対してベース層になつている。この結果、電流増幅率が第2図の構造に比べてさらに1桁近くも低下し、ラッチアップ強度がさらに向上する半導体装置を得ることができる。

さらに、本実施例では次に述べる新たな効果が発生する。第3図に示した従来例では、半導体基板1としてN型を用いており、NMOS61のソース、ドレイン6はPウエル領域30に設けてあ

る。このため、NMOS61のドレイン6でのパンチスルーを防ぎ耐圧を確保する必要性から、Pウエル領域30の深さは通常4 μm 以上となる。従つて、素子分離層21をこの構造に適用する場合には素子分離層21を少なくとも4 μm 以上の深さとすることになる。一方、本実施例ではP⁻型半導体基板1を用いているので基板1へのパンチスルーが問題になるのはPMOS62の方であり、このPMOSのウエル領域20にはN⁺埋込層2が存在し、ウエル領域20を薄くしてもパンチスルーの問題は生じない。実施例ではNウエル領域の深さは1 μm 、N⁺埋込領域2の深さは1.5 μm で形成しており素子分離層21の深さは少なくとも2.5 μm であればよく、従来例に比較して浅い素子分離層21とすることができる。通常、素子分離層21の形成にはドライエッチング技術等と呼ばれる技術により半導体層を加工して深い溝を形成する。形成溝が深いほど加工精度の低下、加工時の歪の発生が問題となる。従つて、本実施例では埋込領域が存在することにより、浅い素子分

離層21とすることができ、素子製造上のプロセス難易度を大幅に改良できる新しい効果が生ずる。第1図(b)に本実施例の平面図を示す。但し、素子分離層21が平面的にどの様にレイアウトされているかを説明するために、各MOSトランジスタの構成上ソース、ドレイン、ゲート電極、フィールド酸化膜等は当然必要であるが、上記の説明の上では直接関係しないので省略した。第1図(b)から判るように、素子分離層21はNウエル領域20を囲んで形成され、Nウエル領域20をPウエル領域30と電気的に分離している。また、すべてのNウエル領域20を囲む必要もなく、ラッチアップ耐量等の点で特に問題と考えられる領域に設けられるのが好ましい。

さらに本実施例によれば、素子分離層21が各埋込領域2、3を貫通してP⁻型基板1にまで到達している構造のため、n⁺埋込領域2の側面は素子分離層21によつて抑えられ、第5図に示した従来例のような横方向拡散による悪影響が解消されている。このため、素子分離層21の幅を従来の

6~7 μm から1~2 μm まで少なくできる。

さらに本実施例によれば、 N^+ 埋込領域2がその周辺において絶縁物21と接し、 P^+ 埋込領域3とは接触していない構造のため周辺部分での電気的な容量が小さく高速な集積回路が実現できる。

次に第6図(a)ないし(i)を用いて、本実施例のCMOS製造方法の一例を示す。

まず、第6図(a)に示すように、 P^+ 型シリコン基板1の表面に N^+ 埋込領域2および P^+ 埋込領域3を形成した後、不純物濃度分布がほぼ均一なN型エピタキシャル層10を厚さ2 μm 程度積層する。エピタキシャル層10の表面を酸化して50nm程度の薄い酸化膜12を形成し、さらに窒化膜(Si_3N_4)13を被覆する。次に、この窒化膜13のうち N^+ 埋込領域2のある部分の窒化膜を除去し、 P^+ 埋込領域3の上の窒化膜を残すように選択的にエッチングする。選択エッチングの方法は公知のホトレジスト加工方法による。次に、公知のイオン打込み法で窒化膜13の無い部分にリンをドーピングする。リンは薄い酸化膜12を

シリコンを酸化して酸化膜にかえ、素子分離層21が形成される。次に、ボロンを全面にイオン打込みする。第4図(c)で述べたようにリンのドーピングされている領域には厚い酸化膜14が存在するためこの部分にはボロンが打込まれない。一方、リンがドーピングされていない部分12の酸化膜は薄いままであり、この部分にはボロンがN型エピタキシャル層10の表面に打込まれる。

次に第6図(e)に示すように、上記の方法でドーピングしたリン、ボロンを1000℃~1200℃の温度でそれぞれ N^+ 及び P^+ 埋込領域2、3に遷するまで引伸し拡散してNウェル領域20、Pウェル領域30を形成する。再び、窒化膜13を被覆し、Nウェル領域20、Pウェル領域30の表面でその後MOSトランジスタ等の半導体素子が形成される部分(以後この部分をアクティブ領域60と記す)に窒化膜13を残すように加工する。加工後ボロンをイオン打込みすると、窒化膜13の下地で、しかも、酸化膜が薄くなっているPウェル領域の表面では窒化膜13の除去されている部

通過してN型エピタキシャル層10の表面に打込まれ、その後の工程でNウェル領域20となる。窒化膜13のある部分では窒化膜13のマスキングによりドーピングされない。

次に、第6図(b)に示すように、リンのイオン打込み後、酸化性の雰囲気中で熱処理するとリンをドーピングしてある表面の酸化膜はさらに厚く成長するが、窒化膜で被覆されている部分の酸化反応は起らず、もとの薄い酸化膜厚を維持する。この場合、厚くなる部分14の膜厚は150nmとした。

次に、第6図(c)に示すように、全面に厚さ200nm程度の厚い窒化膜13を被覆し、素子分離領域とする部分の窒化膜を除去する。その後、窒化膜をマスクとしてシリコンをドライエッチングし1 μm ~2 μm 程度の幅で、深さ3~4 μm の溝15を形成する。

次に、第6図(d)に示すように、溝の内部を酸化して側面に200nm程度の厚さの酸化膜210を形成する。そして、溝の内部に多結晶シリコン211を埋込み、溝の表面に残われている多結晶

分に限る図の点線16で示した様にボロンが打込まれる。この打込層はNMOSトランジスタのチャンネルストップ層としての役割をはたす。

次に、第6図(f)に示すように、上記の窒化膜を用いて局部酸化しアクティブ領域60以外のところに1 μm の厚さでフィールド酸化膜11を形成する。

次に、第6図(g)に示すように、アクティブ領域60の酸化膜を除去して再び良質のゲート酸化膜7を50nmの厚さに形成した後、MOSトランジスタのゲートに用いる多結晶シリコンをCVD (Chemical Vapour Deposition) 法により0.3 μm の厚さで形成し、この多結晶シリコン層を所定の形状に加工する。

さらに、第6図(h)に示すように、上記の多結晶シリコンゲートを用いた自己整合法によりNウェル領域20のアクティブ領域表面にPMOSのソース、ドレイン9及び、Pウェル領域30のアクティブ表面にNMOSのソース、ドレイン6を形成する。本実施例では、NMOSのソース、ドレ

イン0はひ素をイオン打込みにより形成し、PMOSのソース、ドレインはボロンを打込みして形成しており、それぞれの深さは0.3 μm 、0.4 μm である。ソース、ドレインを形成後、パッシベーション膜としてリンガラス15をCVD法により、0.5 μm の厚さに形成し、次に、コンダクト窓17を形成する。

この後、第6図(i)に示すようにアルミニウム等の配線100、最終的なパッシベーション膜110を被覆して素子が完成する。

第7図は、本発明の第2の実施例の断面概略図である。

同図に於いて、第6図と同一符号は同一物及び相当物を示す。本実施例が第6図の実施例と異なるのは、Nウェル領域20に縦型のNPNバイポーラトランジスタ63を形成した点にある。本実施例では、バイポーラトランジスタ63のエミッタ層41は多結晶シリコン42を用いて形成した。また、P型ベース層43、コレクタ引き出し層44は通常のバイポーラ製造方法で用いられてい

るイオン打込み方法により形成した。また、バイポーラトランジスタ63の素子分離には、第4図で詳述した本発明の素子分離層21を適用している。このため、N⁺埋込層間のnpn寄生トランジスタの防止のため、素子分離層の底面にはP⁺層のチャネルストップ層66が新たに付加されている。

この実施例によれば、バイポーラトランジスタとCMOSトランジスタがオンチップで集積化されているため、バイポーラの高負荷駆動能力とCMOSの高集積、低消費電力性という相互の特長を兼ね備えた新規なLSIが実現できる。さらに、上記のバイポーラトランジスタは本発明による絶縁物による素子分離層21が用いられているため、コレクタとP⁺型基板との間に生ずる接合容量が少なくてきており、回路の高速化がより実現されている。

なお、この実施例に於ては、CMOSトランジスタとNPNバイポーラトランジスタとがオンチップ化したものを例にして説明したが、これに限

定されず、各種半導体素子を同一基板上に形成する場合に適用されうる。

〔発明の効果〕

以上述べた様に本発明による半導体装置によれば、ウェル領域の導電型が異なる半導体素子を同一の基板上に高集積に形成してもラッチアップが発生することはない、アイソレーション特性の信頼性が高いものを得ることができる。

図面の簡単な説明

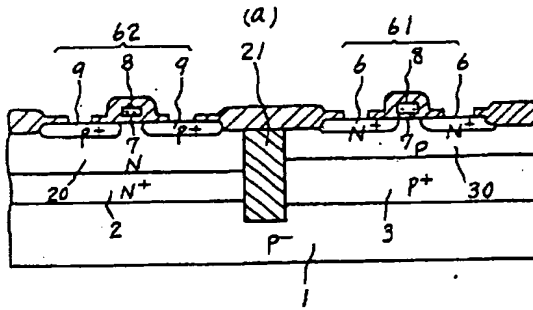
第1図(a)、(b)はそれぞれ本発明による半導体装置の一実施例を示す断面図および平面図、第2図は従来の半導体装置の一例を示す断面図、第3図は第2図に示す従来の半導体装置の欠点を示す説明図、第4図は従来の半導体装置の一例を示す断面図、第5図は第4図に示す従来の半導体装置の欠点を示す説明図、第6図(a)ないし(i)は本発明による半導体装置の製造方法の一実施例を示す工程図、第7図は本発明による半導体装置の他の実施例を示す断面図である。

1…P⁺型半導体基板、2…N⁺埋込領域、20

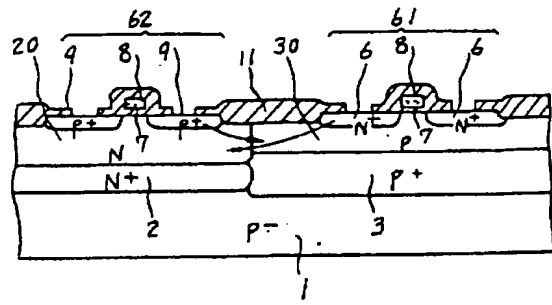
…Nウェル領域、3…P⁺埋込領域、30…Pウェル領域、21…素子分離層。

代理人 弁理士 崎沼辰之

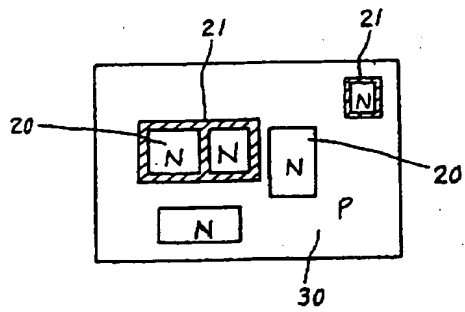
第 1 図



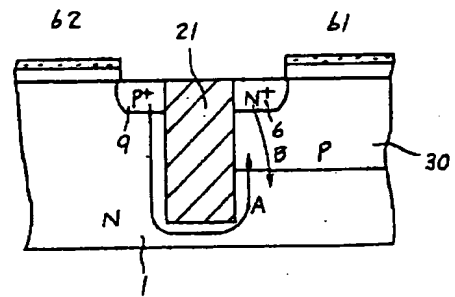
第 2 図



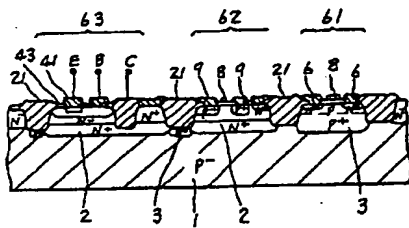
(b)



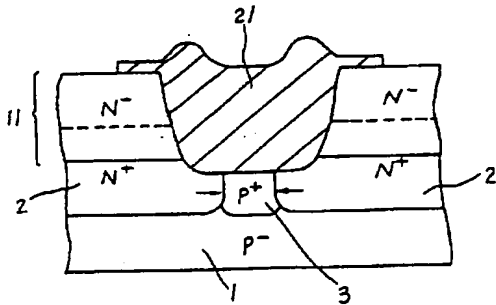
第 3 図



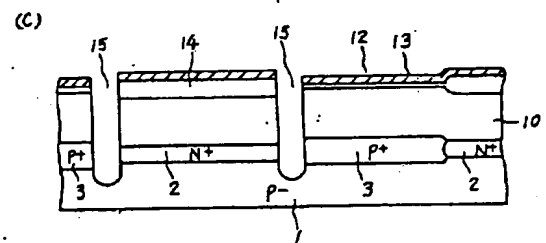
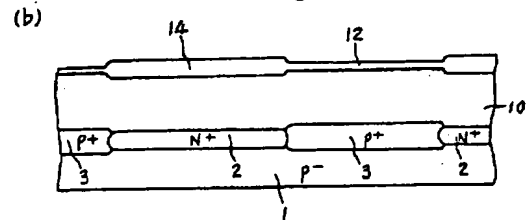
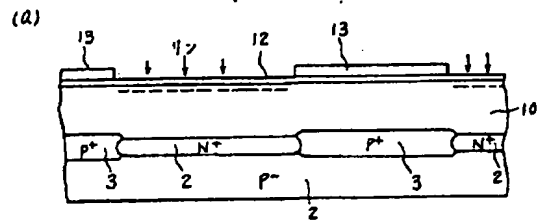
第 4 図



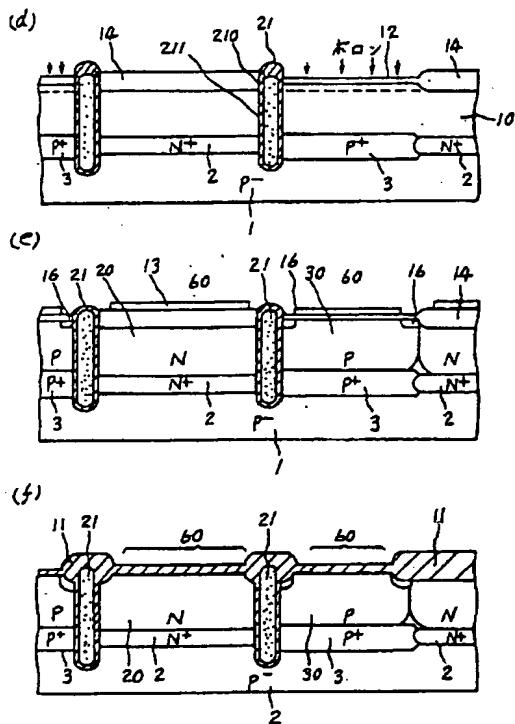
第 5 図



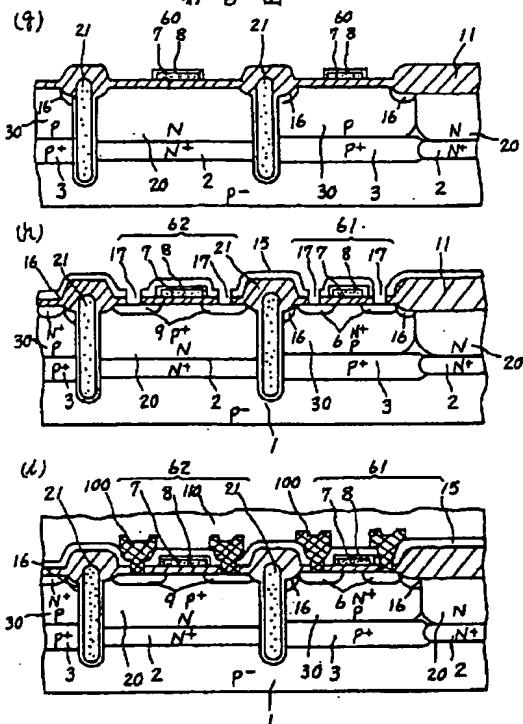
第 6 図



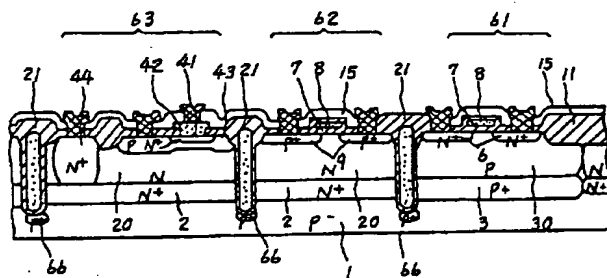
第 6 図



第 6 図



第 7 図



第1頁の続き

⑫発 明 者 齊 藤 隆 一 , 日立市幸町3丁目1番1号 株式会社日立製作所日立研究
所内